

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-216752  
 (43)Date of publication of application : 05.08.1994

(51)Int.CI.

H03K 19/0185  
 H03K 17/10  
 H03K 17/687  
 H03K 19/003

(21)Application number : 05-303313  
 (22)Date of filing : 10.11.1993

(71)Applicant : SUN MICROSYST INC  
 (72)Inventor : ROGERS ALAN C

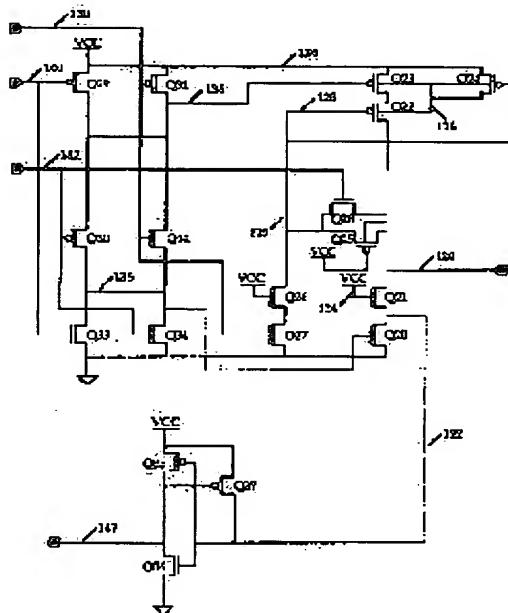
(30)Priority

Priority number : 92 974100 Priority date : 10.11.1992 Priority country : US

## (54) VOLTAGE INTERFACE CIRCUIT FOR INTEGRATED CIRCUIT, AND METHOD FOR INTERFACING INTEGRATED CIRCUIT

## (57)Abstract:

PURPOSE: To interface a low voltage circuit to a high voltage environment by adopting the new n-type well bias of separate circuit and MOSTr for a voltage interface circuit in order to drive the high voltage environment in the fluctuation of low voltage.  
 CONSTITUTION: This voltage interface circuit for interfacing an integrated circuit, which is operated by a VCC power supply voltage, to the higher voltage environment can drive the higher voltage circuit or bus recognizing the fluctuation of VCC voltage through the integrated circuit. The voltage interface circuit is composed of a three-state control part, output pull-up part, output pull-up control part and input part and the output pull-up part is composed of pchTrQ23 and pchTrQ24. The n-type well of TrQ22 is floated. When an n-type well 126 is to be connected to the VCC, with the increase of voltage at an output node 120 toward 5 V, a current increasing p-n junction between the drain of TrQ22 and the n-type well is let flow, the voltage at an n-type well 126 is increased higher than Vcc and the junction disconnection of Q22-Q24 keeps a functional state.



## LEGAL STATUS

[Date of request for examination] 10.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3440454

[Date of registration] 20.06.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

P-1288

(2)

特開平06-216752

(19)日本特許庁 (JP) (12)公開特許公報 (A)

特開平5-216752

(11)特許出願公開番号

特開平6-216752

(43)公開日 平成6年(1994)8月5日

(51)Inn.Cl.\* H 03 K 19/0165 17/10 17/687

職別記号 F 1 戦術要塞監所

内整理番号 H 03 K 984-5J 894-5J 7436-5J

出願人 591084003 サン・マイクロシステムズ・インコーポレーテッド

SUN MICROSYSTEMS, INC.

アメリカ合衆国 94043 カリフォルニア州・マウンテンビュー・ガルシア アグエ

ニュウ・2550

(72)発明者 アン・シン・ロジャーズ

アメリカ合衆国 94303 カリフォルニア州・バロ・アルト・ローマ ヴィード。

883

(74)代理人 弁理士 山川 政樹

(71)出願人 591084003

サン・マイクロシステムズ・インコーポレーテッド

SUN MICROSYSTEMS, INC.

アメリカ合衆国 94043 カリフォルニア州・マウンテンビュー・ガルシア アグエ

ニュウ・2550

(72)発明者 アン・シン・ロジャーズ

アメリカ合衆国 94303 カリフォルニア州・バロ・アルト・ローマ ヴィード。

883

(74)代理人 弁理士 山川 政樹

(22)出願日 平成5年(1993)11月10日

(31)優先権主張番号 9 74, 1 0 0

(32)優先日 1992年11月10日

(33)優先権主張国 米国 (U.S.)

(71)出願人 591084003

サン・マイクロシステムズ・インコーポレーテッド

SUN MICROSYSTEMS, INC.

アメリカ合衆国 94043 カリフォルニア州・マウンテンビュー・ガルシア アグエ

ニュウ・2550

(72)発明者 アン・シン・ロジャーズ

アメリカ合衆国 94303 カリフォルニア州・バロ・アルト・ローマ ヴィード。

883

(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 集積回路用電圧インシフュースする方法

(55)【要約】

【目的】 低電圧トランジスタのみを含んでいる低電圧

集積回路を高電圧環境へインシフュースするための電圧

インシフュース・バッファを提供する。

【構成】 低電圧の振れにおいて高電圧環境を駆動する

ためには、電圧インシフュース回路は分離回路とMOSト

ランジスタの新規なn井戸バイアスを採用する。

高電圧の振れにおいて高電圧環境を駆動するために、電圧イン

シフュース回路は、高電圧を供給されるバイアス・バッ

ファ・トランジスタをバイアスするためのバイアス回路

を採用する。応用の例として、電圧インシフュース・バ

ッファは3ボルトまたは3.3ボルト集積回路チップが

TTTLとCMOS電圧レベルを駆動することを可能にす

る。更に、電圧インシフュース・バッファは2ボルト集

積回路チップがTTL電圧レベルを駆動することを可能

にする。

(56)【前段】

【構成】 本発明は集積回路の分野に関する。

【発明の詳細な説明】

【背景技術】 集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(57)【発明】

【目的】 低電圧トランジスタのみを含んでいる低電圧

集積回路を高電圧環境へインシフュースするための電圧

インシフュース・バッファを提供する。

【構成】 低電圧の振れにおいて高電圧環境を駆動する

ためには、電圧インシフュース回路は分離回路とMOSト

ランジスタの新規なn井戸バイアスを採用する。

高電圧の振れにおいて高電圧環境を駆動するために、電圧イン

シフュース回路は、高電圧を供給されるバイアス・バッ

ファ・トランジスタをバイアスするためのバイアス回路

を採用する。応用の例として、電圧インシフュース・バ

ッファは3ボルトまたは3.3ボルト集積回路チップが

TTTLとCMOS電圧レベルを駆動することを可能にす

る。更に、電圧インシフュース・バッファは2ボルト集

積回路チップがTTL電圧レベルを駆動することを可能

にする。

(58)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(59)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(60)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(61)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(62)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(63)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(64)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(65)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(66)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(67)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(68)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(69)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(70)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(71)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(72)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(73)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(74)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(75)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(76)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(77)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(78)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(79)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(80)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン

ジスタ密度を高くすると、集積回路の機能をより高くす

ることに關するものである。

(81)【発明】

【構成】 本発明は集積回路のトランジスタ密度および速度

を高くするために、回路設計者は集積回路上に駆動され

るトランジスタの物理的寸法を小さくしている。トラン



トランジスタQ 5 8はPbias部のための電流源である。トランジスタQ 5 9、Q 6 0、Q 6 2、Q 6 4は電流源により制御される電流ミラーである。Pbias部1 5 0の電圧は電源電圧VCCと電源電圧VCC\*の差にほぼ等しい。後で詳しく説明するように、Pbias部1 5 0は入力部と出力部に含まれているトランジスタを保護するために用いられる。

[0024] 図4はトランジスタQ 4 0～Q 5 7で構成された出力部を示す。三状態モードはOE1 8 2とOE1 8 0により決定される。OE1 8 0はOE1 8 2の補数である。この回路が三状態モードにあると、OE1 8 2は低く、OE1 8 0は高い。出力部は集積回路のヒンのための出力データを出力データノード1 6 2に受け取る。出力部は出力ノードにおける出力データを駆動する。

[0025] nチャネル・トランジスタQ 5 6はブルダックnチャネル・トランジスタQ 5 7を過電圧から保護する。トランジスタQ 5 6のゲートはノード1 5 2におけるVCCへ結合される。出力ノード1 7 2における電圧がV<sub>C</sub>に達したとしても、トランジスタQ 5 6はノード1 5 2がV<sub>C</sub>以上に上昇することを阻止する。その結果、出力ノード1 7 2とノード1 5 8間の最高電圧は約3 Vである。出力ノード1 7 2とノード1 5 2間トランジスタQ 5 6の最高ゲート酸化物層電圧は3.3 V(出力ノード1 7 2が0 Vの時)、または1.7 V(出カノード1 7 2が5 Vの時)である。

[0026] 同様にして、pチャネル・トランジスタQ 5 5はpチャネルブルダックトランジスタQ 5 4を過電圧から保護する。トランジスタQ 5 5のゲートはPbiasへ結合される。トランジスタQ 5 5のゲートにおけるPbias電圧レベルにより、トランジスタQ 5 4、Q 5 5のゲート酸化物層へ加えられる電圧を3.3 V以下に維持する。

[0027] トランジスタQ 4 0～Q 5 3は、出力データノード1 6 2におけるVCC電圧の貯れど出力データノード1 7 2におけるVCC\*電圧との間の差値レベル変換器として機能する。出力データノード1 6 2における高電圧はnチャネル・トランジスタQ 4 5～Q 5 2をオノンして電流がpチャネル・トランジスタQ 4 1とnチャネル・トランジスタQ 4 2を流れ、その後Q 4 4における電圧が引き下げる。その後Q 4 4における電圧はpチャネル・トランジスタQ 4 8をオノンさせる。

[0028] トランジスタQ 4 8とQ 5 4をターンオンするためには、トランジスタQ 4 0とQ 4 8はノード1 6

4と1 7 0における電圧を回復させる。トランジスタQ 4がターンオノすると、トランジスタQ 4 8を流れる電流がトランジスタQ 4 9、Q 5 0、Q 5 1に電流を流せる。そうすると、ノード1 6 8は高くなる。ノード1 6 8における電圧はトランジスタQ 5 7をターンオノして出力ノード1 7 2を引き下げる。トランジスタQ 4 8を流れる電流はノード1 7 0も高くなる。ノード1 7 0における電圧はトランジスタQ 5 4をターンオノする。

[0029] 出力データノード1 6 2が高電圧になると、トランジスタQ 5 2はターンオノし、ノード1 6 8を引き下げる。ノード1 6 8における低電圧はトランジスタQ 5 7をターンオフする。ノード1 7 0がVCC\*より低い電圧になると、トランジスタQ 5 4はターンオノする。ノード1 7 0における低電圧はトランジスタQ 4 0もターンオノし、トランジスタQ 4 8をターンオフする。

[0030] 図5は入力部を示す。この入力部はトランジスタQ 5 6～Q 7 1で構成される。入力はノード1 5 6と1 5 8から取り出される。pチャネル・トランジスタQ 6 7、Q 6 8と、nチャネル・トランジスタQ 6 9、Q 7 0は、ノード1 5 6、1 6 8におけるVCC\*電圧の振れと、ノード1 6 0におけるVCC電圧の振れとの間のレベル変換器として機能する。nチャネル・トランジスタQ 6 9はnチャネルブルダックトランジスタQ 7 0を保護する。トランジスタQ 6 9のゲートはVCCへ結合される。pチャネル・トランジスタQ 6 7はpチャネルブルダックトランジスタQ 7 1とノード1 5 0へ結合される。トランジスタQ 7 1は全VCC電圧の振れをノード1 5 4へ供給する。

[0031] ノード1 5 4における電圧が低い時は、pチャネル・トランジスタQ 6 5は入力データノード1 6 0における電圧を引き上げる。ノード1 5 4における電圧が高い時は、トランジスタQ 6 6は入力データノード1 6 0における電圧を引き下げる。pチャネル・トランジスタQ 7 1はノード1 5 4へ帰還を行うために結合される。トランジスタQ 7 1は全VCC電圧の振れをノード1 5 4へ供給する。

[図面の簡単な説明]

[図1] 集積回路のための典型的な走査の入力／出力回路と、高電圧を受けた時に吸収されやすいトランジスタを示す。

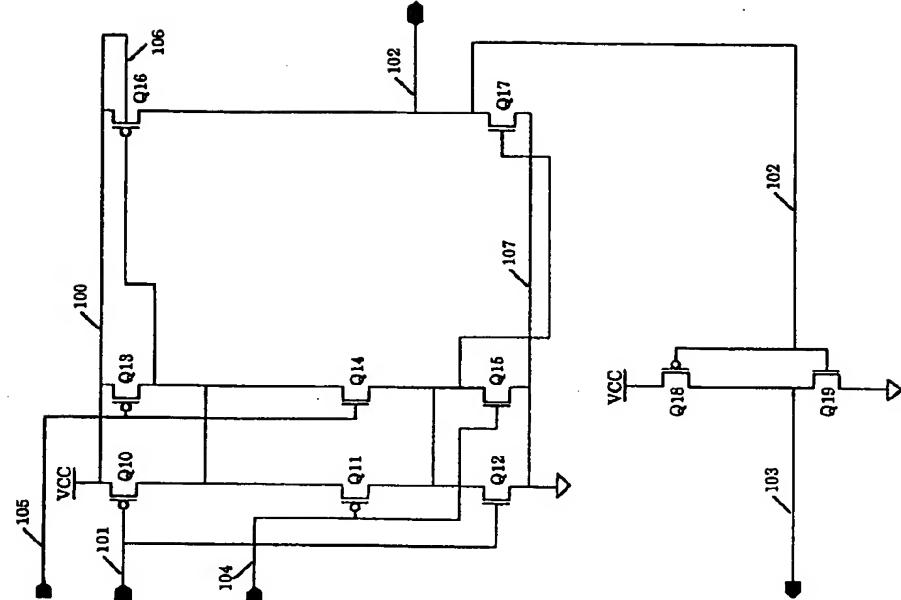
[図2] VCC電源電圧で動作する集積回路をより高い電圧環境へインサフェースするための電圧インサフェース回路の一実施例を示す。

[図3] VCC電源電圧で動作する集積回路がより高いVCC\*電圧の振れの回路またはバスを駆動できるようする電圧インサフェース回路の一実施例を示す。

[図4] VCC電源電圧で動作する集積回路がより高いVCC\*電圧の振れの回路またはバスを駆動できるよう

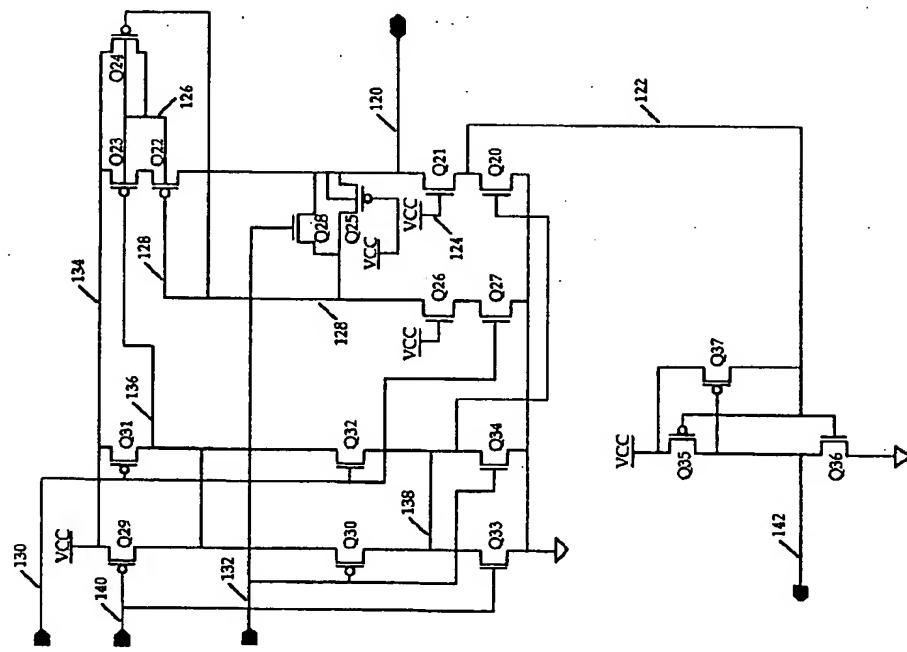
する。[図5] VCC電源電圧で動作する導線回路がより高いVCC\*電圧の振れの回路またはバスを駆動できるようする電圧インサフェース回路の一実施例を示す。

[図1]

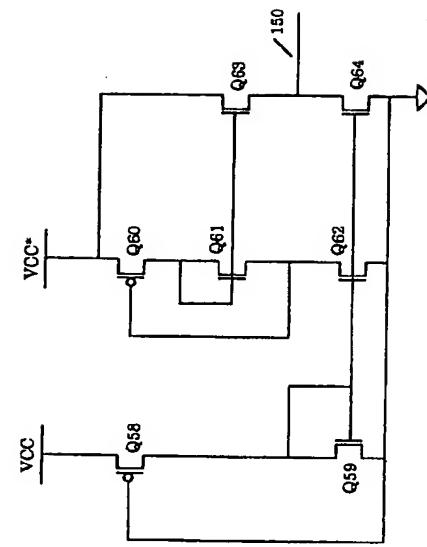




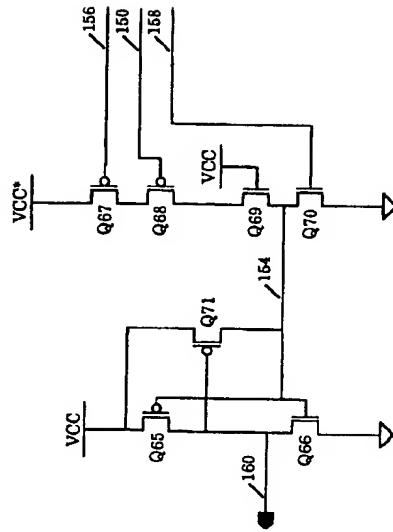
[図2]



特開平06-216752



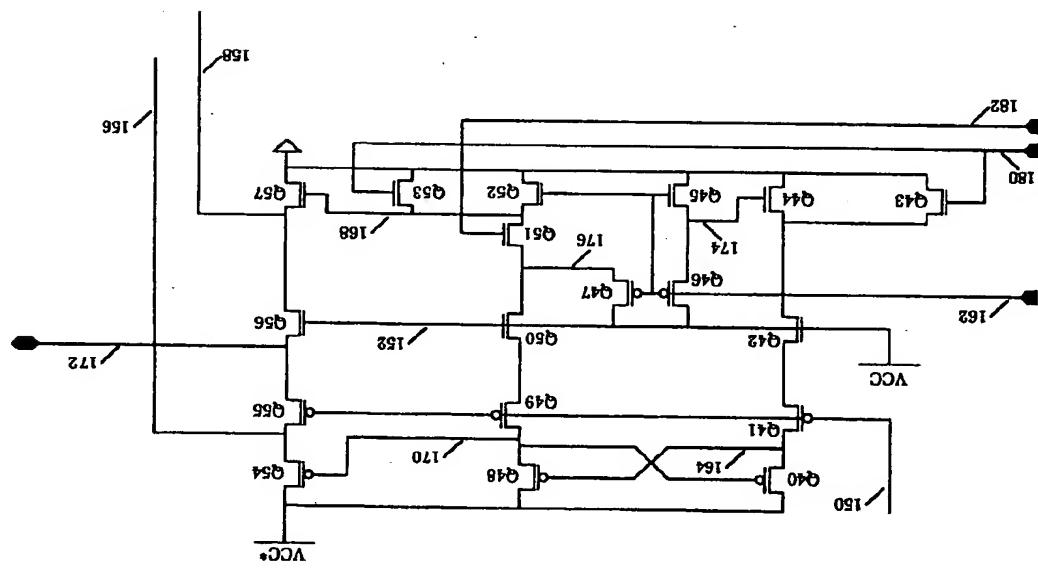
51



(9)

特開平06-216752

[図4]



フロントページの続き

(5) Int. Cl. 5  
HO3K 19/003  
E 89(1)-5

技術表示箇所

F 1

識別記号 広内整理番号  
E 89(1)-5